

## EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2000150802  
PUBLICATION DATE : 30-05-00

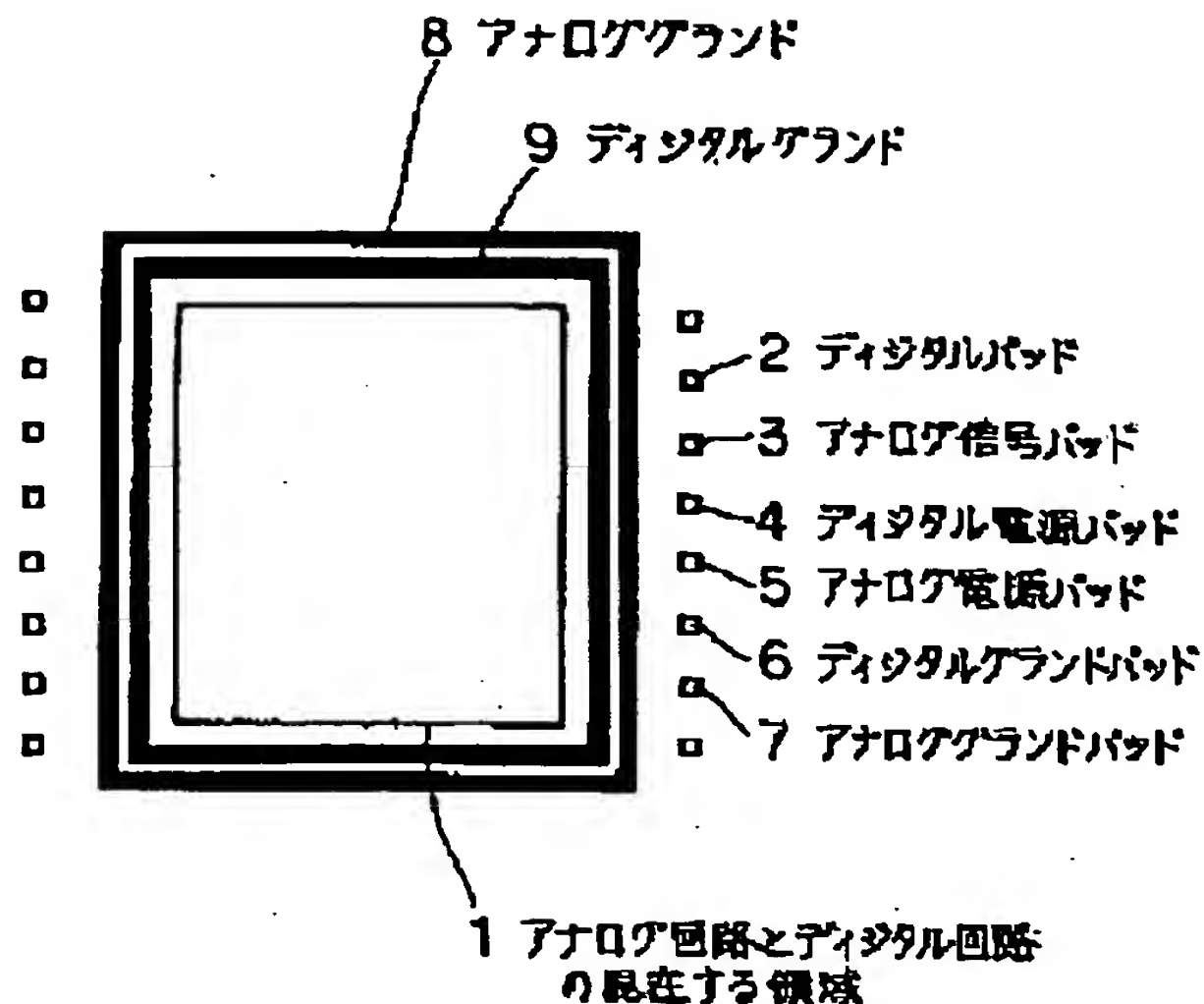
APPLICATION DATE : 18-11-98  
APPLICATION NUMBER : 10328487

APPLICANT : NEC CORP;

INVENTOR : NISHIDA YOSHIO;

INT.CL. : H01L 27/04 H01L 21/822 H01L 21/82  
H01L 21/3205

TITLE : METHOD FOR SHIELDING ANALOG  
SIGNAL PAD AND SEMICONDUCTOR  
INTEGRATED CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To reduce effect of noise from peripheral pads onto an analog signal pad by surrounding the analog signal pad for an analog circuit in a region, where analog circuits and digital circuits exist mixedly, with a wiring layer, and connecting with the analog ground.

SOLUTION: A region 1 where analog circuits and digital circuits exist mixedly is formed of a silicon chip. In order to connect the chip with another circuit board, a signal pad 3 for an analog circuit, a power supply pad 5, a ground pad 7, a pad 2 for digital circuits, a power supply pad 4, and a ground pad 6 are arranged on the chip surface. The analog signal pad 3 is shielded by applying shield wiring connected with analog ground 8 around the signal pad 3. Since the signal pad 3 is surrounded entirely by shield wiring connected with the analog ground 8, effect of noise entering from the periphery of the signal pad 3 can be suppressed.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-150802  
(P2000-150802A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)
H 0 1 L	27/04	H 0 1 L	E 5 F 0 3 3
	21/822		P 5 F 0 3 8
	21/82		S 5 F 0 6 4
	21/3205		T
		27/04	H

審査請求 有 請求項の数23 ( ) L (全 9 頁)

(21) 出願番号 特願平10-328487

(22) 出願日 平成10年11月18日 (1998.11.18)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 西田 芳雄

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

Fターム(参考) 5F033 HH08 KK08 UU01 VV03 VV07  
XX23

5F038 BH10 BH19 CA10 DF03 DF04  
DF05

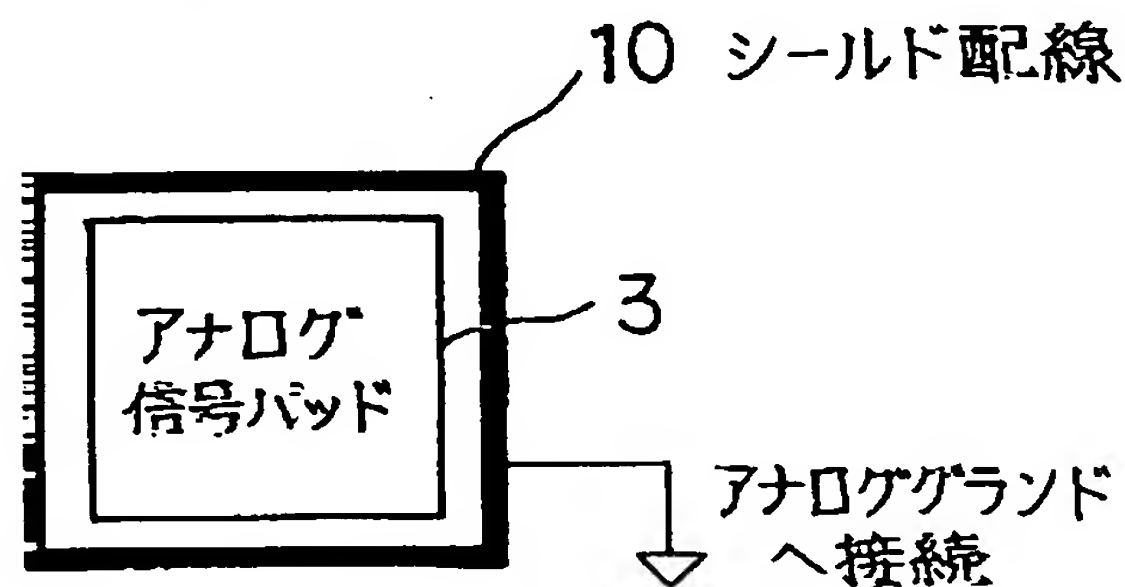
5F064 BB01 BB21 DD42 EE45

(54) 【発明の名称】 アナログ信号パッドのシールド法、および半導体集積回路

(57) 【要約】

【課題】 レイアウト上でのパッド配置での制限を受け  
ることなく、隣接するデジタルパッドや周辺から誘導  
されるノイズの影響を小さくする。

【解決手段】 アナログ／デジタル混在型半導体集積  
回路は、アナログ信号パッド3と、このアナログ信号パ  
ッド3の周りを囲む、アナロググランドに接続されたシ  
ールド配線10とから少なくとも構成されている。



## 【特許請求の範囲】

【請求項1】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路におけるアナログ信号パッドのシールド方法において、前記アナログ回路用のアナログ信号パッドの周りを配線層で囲み、該配線層をアナロググランドに接続することを特徴とするアナログ信号パッドのシールド方法。

【請求項2】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路におけるアナログ信号パッドのシールド方法において、前記デジタル回路用のデジタルパッドの周りを配線層で囲み、該配線層をデジタルグランドに接続することを特徴とするアナログ信号パッドのシールド方法。

【請求項3】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路におけるアナログ信号パッドのシールド方法において、前記アナログ回路用のアナログ信号パッドの周りと前記デジタル回路用のデジタルパッドの周りとをそれぞれ配線層で囲み、該配線層のうち、前記アナログ信号パッドの周りを囲んだ配線層についてはアナロググランドへ、前記デジタルパッドの周りを囲んだ配線層についてはデジタルグランドへ接続することを特徴とするアナログ信号パッドのシールド方法。

【請求項4】 前記アナログ信号パッドの周りの全てを配線層で囲むことを特徴とする請求項1又は3に記載のアナログ信号パッドのシールド方法。

【請求項5】 前記デジタルパッドの周りの全てを配線層で囲むことを特徴とする請求項2又は3に記載のアナログ信号パッドのシールド方法。

【請求項6】 前記アナログ信号パッドの周りの前記デジタルパッド側のみを配線層で囲むことを特徴とする請求項3に記載のアナログ信号パッドのシールド方法。

【請求項7】 前記デジタルパッドの周りの前記アナログ信号パッド側のみを配線層で囲むことを特徴とする請求項3に記載のアナログ信号パッドのシールド方法。

【請求項8】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路において、該アナログ回路用のアナログ信号パッドと、アナロググランドに接続され該アナログ信号パッドの周りを囲むシールド配線とを有することを特徴とした半導体集積回路。

【請求項9】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路において、該アナログ回路用のアナログ信号パッドと、該アナログ信号パッドの隣りに配置された前記デジタル回路用のデジタルパッドと、アナロググランドに接続され前記アナログ信号パッドの周りを囲むシールド配線と、デジタルグランドに接続され前記デジタル信号パッドの周りを囲む配線とを有することを特徴とした半導体集積回路。

【請求項10】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路において、該アナログ回

路用のアナログ信号パッドと、該アナログ信号パッドの隣りに配置された前記デジタル回路用のデジタルパッドと、アナロググランドに接続され前記アナログ信号パッドの周りを囲むシールド配線とを有することを特徴とした半導体集積回路。

【請求項11】 アナログ回路とデジタル回路が混在する領域を含む半導体集積回路において、該アナログ回路用のアナログ信号パッドと、該アナログ信号パッドの隣りに配置された前記デジタル回路用のデジタルパッドと、デジタルグランドに接続され前記デジタルパッドの周りを囲む配線とを有することを特徴とした半導体集積回路。

【請求項12】 前記アナロググランドに接続されたシールド配線が前記アナログ信号パッドの周りを全て囲むことを特徴とした請求項8から11のいずれか1項に記載の半導体集積回路。

【請求項13】 前記アナロググランドに接続されたシールド配線が前記デジタルパッド側のみを囲むことを特徴とした請求項8から11の何れか1項に記載の半導体集積回路。

【請求項14】 前記デジタルグランドに接続された配線が前記デジタルパッドの周りを全て囲むことを特徴とした請求項11に記載の半導体集積回路。

【請求項15】 前記デジタルグランドに接続された配線が前記アナログ信号パッド側のみを囲むことを特徴とした請求項11に記載の半導体集積回路。

【請求項16】 前記アナロググランドに接続されたシールド配線が前記アナログ信号パッドの周りを全て囲み、前記デジタルグランドに接続された配線が前記デジタルパッドの周りを全て囲むことを特徴とした請求項9に記載の半導体集積回路。

【請求項17】 前記アナロググランドに接続されたシールド配線が前記アナログ信号パッドの周りを全て囲み、前記デジタルグランドに接続された配線が前記アナログ信号パッド側のみを囲むことを特徴とした請求項9に記載の半導体集積回路。

【請求項18】 前記アナロググランドに接続されたシールド配線が前記デジタルパッド側のみを囲み、前記デジタルグランドに接続された配線が前記デジタルパッドの周りを全て囲むことを特徴とした請求項9に記載の半導体集積回路。

【請求項19】 前記アナロググランドに接続されたシールド配線が前記デジタルパッド側のみを囲み、前記デジタルグランドに接続された配線が前記アナログ信号パッド側のみを囲むことを特徴とした請求項9に記載の半導体集積回路。

【請求項20】 前記シールド配線が半導体集積回路の最上配線層に設けられていることを特徴とした請求項8、9、10、12、13、16、17、18または19のいずれか1項に記載の半導体集積回路。

【請求項21】 前記シールド配線が、前記最上配線層と、半導体集積回路の中間配線層と、前記最上配線層と前記中間配線層を接続するスルー層とにより設けられ、前記パッドの周りが前記最上配線層から前記中間配線層にわたって囲まれたことを特徴とした請求項20に記載の半導体集積回路。

【請求項22】 前記シールド配線が、前記最上配線層と、半導体集積回路の最下配線層と、前記最上配線層と前記最下配線層を接続するスルー層とにより設けられ、前記パッドの周りが前記最上配線層から前記最下配線層にわたって囲まれたことを特徴とした請求項20に記載の半導体集積回路。

【請求項23】 前記最下配線層に、前記パッドと相対する面状の配線が設けられていることを特徴とした請求項22に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアナログ回路とデジタル回路が混在するLSIのノイズ対策に関する。

【0002】

【従来の技術】近年、高集積技術の進展により、アナログ回路とデジタル回路を混在させたシステムを1チップ上で実現しようとする動きがある。また、このようなシステムオンチップの方向性から、多ピン化かつピン間隔が狭くなる傾向があり、チップ上のパッドを千鳥足状に配置したりパッドとパッドの間隔を縮小すること等が実施される。その結果、多くの場合、高精度な信号を扱うアナログ回路側が、電源電圧間をフルスイングするデジタル回路が発生するノイズの影響を受け、パッド間ではデジタルパッドからアナログ信号パッドにノイズが直接的に飛び込むことが起こる。

【0003】そこで、この種のアナログ／デジタル混在LSI上のパッド配置においては、アナログ信号パッドへの直接的なノイズの飛び込みによる影響を防ぐ（あるいは、小さくする）ように、以下の方法がこれまで採られてきた。

【0004】一つは、図10に示す様に、アナログ信号用のパッド36の周りにアナログ電源用のパッド33、35やアナロググランド用のパッド34、または未使用のパッド38等を配置する方法である。これは、大きなノイズ源となるデジタルパッドをアナログ信号用パッドの周りに配置せずアナログ信号用パッドにその周りから極力ノイズが乗らないようにする方法である。

【0005】また一つは、アナログ信号用のパッド36とデジタル信号用のパッド32又は39との間にみられる様に、これら間にそれぞれアナロググランド用のパッド34や未使用のパッド38、またはアナログ電源のパッドなどをノイズの緩和材として用いてアナログ信号用のパッド36にノイズが直接飛び込まない様にする方法である。

【0006】

【発明が解決しようとする課題】しかしながら、これらの方法は外部ピンに接続するアナログ電源やアナロググランドのパッドが少なく、アナログ信号パッドの周りのパッドを全てアナログ系で配置することが困難であるとか、レイアウト上の配線の引き回しが難しくなり不要なチップ面積の増大を招いてしまうとか、または、未使用のパッドを用いることでチップ面積を増加させてしまうといった問題が生じてしまうという欠点があった。

【0007】なお、特開平6-77228号公報（同公報の第4図、第5図など）において、LSI素子の電極パッド上のバンプの周りをグランド層で囲んでバンプをシールドし、バンプへのノイズの進入を低減する技術が開示されている。しかし、この公報によるものでは、図11に示すように、ノイズをシールドするグランド層41は平面方向においてバンプ42の側面の周りだけを囲み、パッド43の側面の周りを囲んでいない。したがって、この技術においてもパッドがアナログ信号用のものである場合、その近くのパッドがデジタルパッドであると、アナログ信号用パッドにデジタルパッドからノイズが飛び込む問題は依然として残る。そこで本発明の目的は、上記従来技術の欠点に鑑み、アナログ／デジタル混在型半導体回路装置において、配線レイアウトの際にパッド配置による制限を受けることなく、アナログ信号パッドへの直接的なノイズの飛び込みによる影響を防止、あるいは小さく出来るアナログ／デジタル混在型半導体集積回路およびアナログ信号パッドのシールド方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために本願の第1発明は、アナログ回路とデジタル回路が混在する領域を含む半導体集積回路、および該半導体集積回路におけるアナログ信号パッドのシールド方法において、前記アナログ回路用のアナログ信号パッドの周りを配線層で囲み、該配線層をアナロググランドに接続したことを特徴とする。この方法およびこの方法を実施した半導体集積回路によれば、アナログ信号パッドへの周辺パッドからのノイズの影響を小さくできるので、パッド配置上の制限を受けることが無い。つまり、ノイズ源の近くにアナログ信号パッドを配置することが可能である。

【0009】第2発明は、アナログ回路とデジタル回路が混在する領域を含む半導体集積回路、および該半導体集積回路におけるアナログ信号パッドのシールド方法において、前記デジタル回路用のデジタルパッドの周りを配線層で囲み、該配線層をデジタルグランドに接続したことを特徴とする。この方法およびこの方法を実施した半導体集積回路によれば、他のパッドに与えるノイズの影響を小さくできるので、パッド配置上の制限を受けることが無い。つまり、ノイズに敏感なアナログ



系の近くにデジタルパッドを配置することが可能である。

【0010】第3発明は、アナログ回路とデジタル回路が混在する領域を含む半導体集積回路、および該半導体集積回路におけるアナログ信号パッドのシールド方法において、前記アナログ回路用のアナログ信号パッドの周りとは前記デジタル回路用のデジタルパッドの周りとはそれぞれ配線層で囲み、該配線層のうち、前記アナログ信号パッドの周りを囲んだ配線層についてはアナロググランドへ、前記デジタルパッドの周りを囲んだ配線層についてはデジタルグランドへ接続することを特徴とする。この発明による方法およびこの方法を実施した半導体集積回路によれば、アナログ信号パッドに対して、周辺のデジタルパッドからのノイズの影響を小さくできるので、パッド配置上の制限を受けることが無い。つまり、ノイズ源となるデジタルパッドの近くにアナログ信号パッドを配置することが可能である。

【0011】第4発明は、第1又は第3発明において、前記アナログ信号パッドの周りの全てを配線層で囲むことを特徴とする。この発明による方法およびこの方法を実施した半導体集積回路によれば、パッド配置上の制限を受けることなく、アナログ信号パッドに対して、平面的に全ての方向からのノイズの影響を小さくすることが可能である。

【0012】第5発明は、第2又は第3の発明において、前記デジタルパッドの周りの全てを配線層で囲むことを特徴とする。この発明による方法およびこの方法を実施した半導体集積回路によれば、パッド配置上の制限を受けることなく、他のパッドに与えるノイズの影響を小さくできる。

【0013】第6発明は、第3発明において、前記アナログ信号パッドの周りの前記デジタルパッド側のみを配線層で囲むことを特徴とする。この発明によれば、第4発明よりも小さな配線面積で、隣接するデジタルパッドからのノイズの影響を小さくすることが可能である。

【0014】第7発明は、第3発明において、前記デジタルパッドの周りの前記アナログ信号パッド側のみを配線層で囲むことを特徴とする。この発明によれば、第5発明よりも小さな配線面積で、アナログ信号パッドの方向に出ていくデジタルパッドからのノイズを小さくすることが可能である。

【0015】第8発明は、前記シールド配線が半導体集積回路の最上配線層に設けられていることを特徴とする。この発明によれば、他の最上配線層からのノイズの影響を小さくすることが可能である。

【0016】第9発明は、第8発明において、前記シールド配線が、前記最上配線層と、半導体集積回路の中間配線層と、前記最上配線層と前記中間配線層を接続するスルー層とにより設けられ、前記パッドの周りが前記最

上配線層から前記中間配線層にわたって囲まれたことを特徴とする。この発明によれば、最上から中間までの他の配線層から受けるアナログ信号パッドへのノイズの影響を小さくすることが可能である。

【0017】第10発明は、第8発明において、前記シールド配線が、前記最上配線層と、半導体集積回路の最下配線層と、前記最上配線層と前記最下配線層を接続するスルー層とにより設けられ、前記パッドの周りが前記最上配線層から前記最下配線層にわたって囲まれたことを特徴とする。この発明によれば、最上から最下までの他の配線層から受けるアナログ信号パッドへのノイズの影響を小さくすることが可能である。

【0018】第11発明は、第10発明において、前記最下配線層に、前記パッドと相対する面状の配線が設けられていることを特徴とする。この発明によれば、半導体基板の全ての層から受けるアナログ信号パッドへのノイズの影響を小さくすることが可能である。

【0019】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0020】図1は本発明によるアナログ信号パッドのシールド方法を好適に実施したアナログ／デジタル混在半導体集積回路の一例を示す平面図である。

【0021】図1において、アナログ回路とデジタル回路が混在する領域1がシリコンチップに形成されている。このシリコンチップを別の回路基板と接続可能にするため、チップ表面にはアナログ回路のアナログ信号パッド3とアナログ電源パッド5とアナロググランドパッド7、並びにデジタル回路のデジタルパッド2とデジタル電源パッド4とデジタルグランドパッド6がそれぞれ任意の数で配置されている。さらに、チップ表面にはアナロググランド8やデジタルグランド9なども配置されている。これは近年のLSIの低電圧化のため、I/Oバッファと内部回路領域とを分離するため、電源やグランドをガードリングとして用いている。本例では例えばパッド間隔は50～100 $\mu$ m、パッド径は $\phi$ 50～100 $\mu$ mである。なお、図1では、各パッドから領域1のアナログ回路やデジタル回路、さらにはアナロググランド8やデジタルグランド9に引き回す配線を省略している。

【0022】本発明によれば、図1に示すようにアナログ信号パッド3の隣りまたは周辺にデジタルパッド2を配置することができ、配線レイアウトの際にパッド配置による制限を受けることがない。このような効果を奏する本発明の好ましい様々な実施例を以下に挙げる。

【0023】図2に本発明の第1の実施形態によるアナログ信号パッドのシールド方法を示す。この図に示すように、アナロググランド8に接続されたシールド配線10がアナログ信号パッド3の周囲に施されている。このように、アナログ信号パッド3の周りを全てシールド配

線10で囲み、シールド配線10をアナロググランド8に接続したことで、アナログ信号パッド3の周辺から飛び込むノイズの影響を小さくすることができる。

【0024】なお、この例ではアナログ信号パッド側をシールド配線10で囲んだが、ノイズ発生源であるデジタルパッド側を囲んでもよい。すなわち、デジタルパッドの周りを全て配線で囲み、その配線をデジタルグランドに接続する構成でもよい。

【0025】また、図3に本発明の第2の実施形態によるアナログ信号パッドのシールド方法を示す。この図に示す形態では、アナロググランド8に接続されたシールド配線11がアナログ信号パッド3の周りのデジタルパッド2側のみに施されている。このように、アナログ信号パッド3の周りのデジタルパッド2側のみをシールド配線11で囲み、シールド配線11をアナロググランド8に接続したことで、デジタルパッド2側から飛び込むノイズの影響を小さくすることができる。

【0026】また、図4に本発明の第3の実施形態によるアナログ信号パッドのシールド方法を示す。この図に示す形態では、デジタルグランド9に接続されたシールド配線12がデジタル信号パッド2の周囲に施され、アナロググランド8に接続されたシールド配線13がアナログ信号パッド3の周囲に施されている。このように、デジタル信号パッド2の周りを全てシールド配線12で囲み、シールド配線12をデジタルグランド9に接続し、かつ、アナログ信号パッド3の周りを全てシールド配線13で囲み、シールド配線13をアナロググランド8に接続したことで、アナログ信号パッドの周辺から飛び込むノイズの影響を小さくすることができ、更に図3に示した実施形態よりも、隣接するデジタルパッド2から飛び込むノイズの影響を小さくすることができる。

【0027】また図5に本発明の第4の実施形態によるアナログ信号パッドのシールド方法を示す。この図に示す形態では、デジタルグランド9に接続されたシールド配線14がデジタル信号パッド2の周りのアナログ信号パッド3側のみに施され、アナロググランド8に接続されたシールド配線15がアナログ信号パッド3の周りのデジタルパッド2側のみに施されている。このように、デジタル信号パッド2の周りのアナログ信号パッド3側のみをシールド配線14で囲み、シールド配線14をデジタルグランド9に接続し、かつ、アナログ信号パッド3の周りのデジタルパッド2側をシールド配線15で囲み、シールド配線15をアナロググランド8に接続したことで、図3に示した実施形態よりもデジタルパッド2側から飛び込むノイズの影響を小さくすることができ、更に図4に示した実施形態よりもパッド周辺の配線面積を小さくすることができる。

【0028】また図6に、上記第1から第4の実施形態としてそれぞれ挙げたアナログ信号パッドのシールド方

法を好適に実施する半導体集積回路の断面構造の一例を示す。この図において、シリコン基板上に $\text{SiO}_2$ が形成されている。その $\text{SiO}_2$ の最下層には第1A1層16からなる配線が形成されている。前記 $\text{SiO}_2$ の中間層には第2A1層17からなる配線が形成され、第2A1層17からなる中間配線層は第1A1層16からなる最下配線層に第1スルー層19によって接続されている。さらに前記 $\text{SiO}_2$ の最上層には第3A1層18からなるアナログ信号パッド3およびシールド配線30aが少なくとも形成されている。つまり、アナロググランドに接続されアナログ信号パッド3の周りを囲むシールド配線10はアナログ信号パッド3と同じ最上配線層から構成されている。なお、シールド配線30aの平面形状は図2及び図3に示したようにアナログ信号パッドの周りを全て囲む円形や多角形などの形状、あるいはデジタルパッド側のみを囲むU形やV形などの形状である。

【0029】このように最上配線層のアナログ信号パッド3と同じ層において、アナログ信号パッド3の周りをシールド配線30aで囲み、シールド配線30aをアナロググランドへ接続することにより、アナログ信号パッド3に、その隣りまたは周辺の最上層に存在しているデジタルパッドから飛び込むノイズを小さくすることができる。

【0030】なお、ここではアナログ信号パッド3とシールド配線30aが最上配線層のみで構成されているが、最上配線層が他の層の配線層とスルー層により接続されている場合にも本発明は適用される。

【0031】図7に、本発明の第5の実施形態によるアナログ信号パッドのシールド方法を好適に実施した半導体集積回路の断面図を示す。この図において、シリコン基板上に形成された $\text{SiO}_2$ の最下層には、第1A1層20からなる配線が形成されている。前記 $\text{SiO}_2$ の中間層には第2A1層21からなる配線が形成されている。さらに前記 $\text{SiO}_2$ の最上層には、第3A1層22からなるアナログ信号パッド3およびシールド配線30bの一部が少なくとも形成されている。なお、最上配線層におけるシールド配線30bの一部の平面形状は図2及び図3に示したようにアナログ信号パッドの周りを全て囲む円形や多角形などの形状、あるいはデジタルパッド側のみを囲むU形やV形などの形状である。

【0032】さらに、第2A1層21からなる中間配線層は、最上配線層に在るシールド配線30bの一部と同じ環形状の配線21aを有し、この中間配線層の配線21aと最上配線層に在るシールド配線30bの一部とは環状の第2のスルー層24で接続されている。第1A1層20からなる最下配線層もまた、最上配線層に在るシールド配線30bの一部と同じ環形状の配線20aを有し、この最下配線層の配線20aと中間配線層の配線21aとは環状の第1のスルー層23で接続されている。



【0033】以上のようにシールド配線30bは、アナログ信号パッド3を囲む最上層の配線と中間層の環状配線21aとを環状の第2スルー層24により接続し、さらに中間層の環状配線21aと最下層の環状配線20aとを環状の第1スルー層23により接続した構成からなる。つまり、アナログ信号パッド3の周りを最上配線層から中間配線層さらには最下配線層にわたって囲むシールド配線30bを設け、シールド配線30bをアナロググランドに接続することで、アナログ信号パッド3に、その隣りまたは周辺に存在する最上層のデジタルパッドおよび該デジタルパッドに繋がる上層から下層までの内層の配線から伝わるノイズの影響を小さくでき、図6に示した構造よりもその効果は大きい。

【0034】また図8に、本発明の第6の実施形態によるアナログ信号パッドのシールド方法を好適に実施した半導体集積回路の断面図を示す。この図で示す形態は、上記の第5の実施の形態に示した最下層である第1A1層20の環状配線20aに、アナログ信号パッド3と相對する面状の配線20bを接続した構成である。したがって、シールド配線30cは、アナログ信号パッド3を囲む最上層の配線と中間層の環状配線21aとを環状の第2スルー層24により接続し、さらに中間層の環状配線21aと最下層の面状配線20bとを環状の第1スルー層23により接続したものになる。

【0035】このようにアナログ信号パッド3の周り（最上層から最下層まで）と、アナログ信号パッド3の下方とにおいてシールド配線30cで囲み、シールド配線30cをアナロググランドに接続したことにより、半導体基板の全ての層からアナログ信号パッドが受けるノイズの影響を小さくすることができ、図7に示した構造よりもその効果は大きい。

【0036】上記の第4から第6の実施の形態では3層からなる配線層を示したが、本発明は他の多層配線にも適用される。また、これらの形態ではアナログ信号パッドの周りにシールド配線を施す場合を示したが、デジタルパッドの周りにシールド配線を施す場合もこれらの形態と同じ構成を採用することができる。ただし、デジタルパッドの周りに施したシールド配線はデジタルグランドに接続する必要がある。

【0037】さらに、上記の種々の形態として挙げたシールド方法は、画像処理や音声処理に用いるLSIに好ましく適用できる。図9に本発明のシールド方法を適用した画像処理用LSIの一例を示す。この図に示すように画像処理用LSIでは、内部回路領域1に例えばCPU、LOGICなどのデジタル回路とSRAM（Static RAM）、ADC（AD Converter）、DAC（DA Converter）、PLL（Phase Locked Loop circuit）などのアナログ／デジタル混在回路とが含まれている。このような内部回路領域1の周囲には外部端子としてのパッドが千鳥足状に複数個配置されている。このよ

うな画像処理用LSIにおいても、本発明のシールド方法を採用すると、図9に見られるように、アナログ信号パッド3に隣接した場所にデジタルパッド2やデジタル電源パッド4を配置することができる。つまり、ノイズ対策として、図10に示した従来例のように、アナログ信号パッドとデジタルパッドの間やアナログ信号パッドの周囲にアナログ系のパッドを配置する必要がなくなり、パッド配置が制限されないので、従来よりもチップ面積が減少し、配線の引き回しの自由度も高くなる。

【0038】

【発明の効果】以上説明したように、本発明は、アナログ回路とデジタル回路が混在する半導体集積回路において、アナロググランドに接続されたシールド配線でアナログ信号パッドを囲む事と、デジタルグランドに接続されたシールド配線でデジタルパッドを囲む事の両方またはいずれか一方を実施することにより、配線レイアウトの際にパッド配置による制限を受けることなく、アナログ信号パッドにそれと隣り合うデジタルパッドやその周辺から飛び込むノイズを防ぐあるいは小さくできるという効果を奏する。

【図面の簡単な説明】

【図1】本発明によるアナログ信号パッドのシールド方法を好適に実施したアナログ／デジタル混在半導体集積回路の一例を示す平面図である。

【図2】本発明の第1の実施形態によるアナログ信号パッドのシールド方法を表す平面図である。

【図3】本発明の第2の実施形態によるアナログ信号パッドのシールド方法を表す平面図である。

【図4】本発明の第3の実施形態によるアナログ信号パッドのシールド方法を表す平面図である。

【図5】本発明の第4の実施形態によるアナログ信号パッドのシールド方法を表す平面図である。

【図6】本発明の第1から第4の実施形態としてそれぞれ挙げたアナログ信号パッドのシールド方法を好適に実施するアナログ／デジタル混在半導体集積回路の断面構造の一例を示す図である。

【図7】本発明の第5の実施形態によるアナログ信号パッドのシールド方法を好適に実施した半導体集積回路を示す断面図である。

【図8】本発明の第6の実施形態によるアナログ信号パッドのシールド方法を好適に実施した半導体集積回路を示す断面図である。

【図9】本発明のシールド方法の種々の実施形態を適用可能な画像処理用LSIの一例を示す平面図である。

【図10】従来のアナログ／デジタル混在LSI上のパッド配置の一例を示す平面図である。

【図11】特開平6-77228号公報によるバンプのシールド構造を示す断面図である。

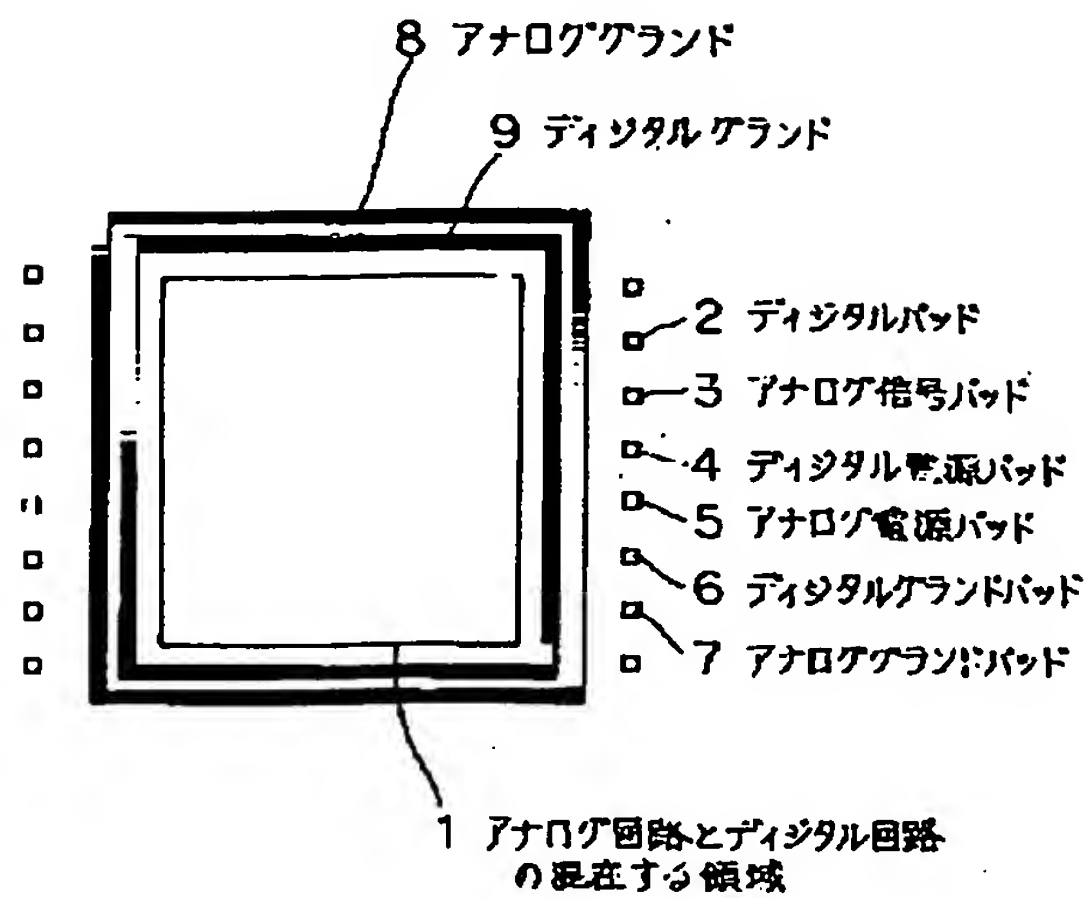
【符号の説明】

1 アナログ回路とデジタル回路の混在する領域

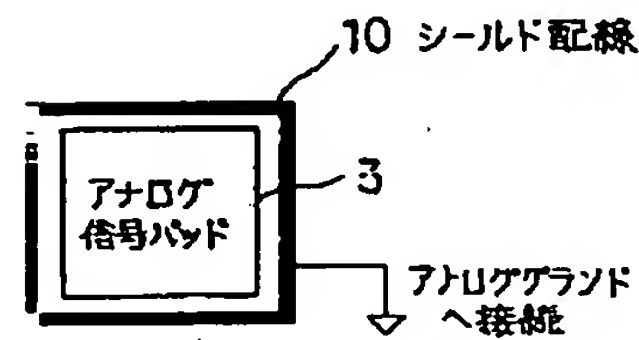
- 2 デジタルパッド
- 3 アナログ信号パッド
- 4 デジタル電源パッド
- 5 アナログ電源パッド
- 6 デジタルグランドパッド
- 7 アナロググランドパッド
- 8 アナロググランド
- 9 デジタルグランド

- 10, 11, 12, 13, 14, 15, 30a, 30b, 30c シールド配線
- 16, 20, 25 第1A1層
- 17, 21, 26 第2A1層
- 18, 22, 27 第3A1層
- 19, 23, 28 第1スルー層
- 24, 29 第2スルー層

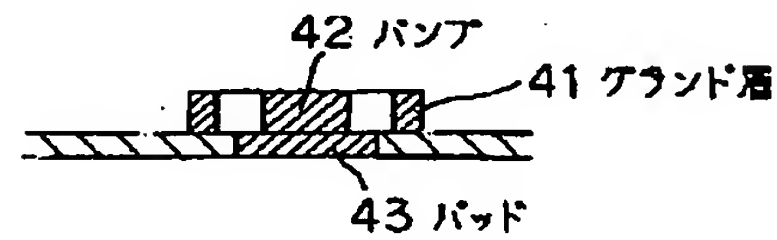
【図1】



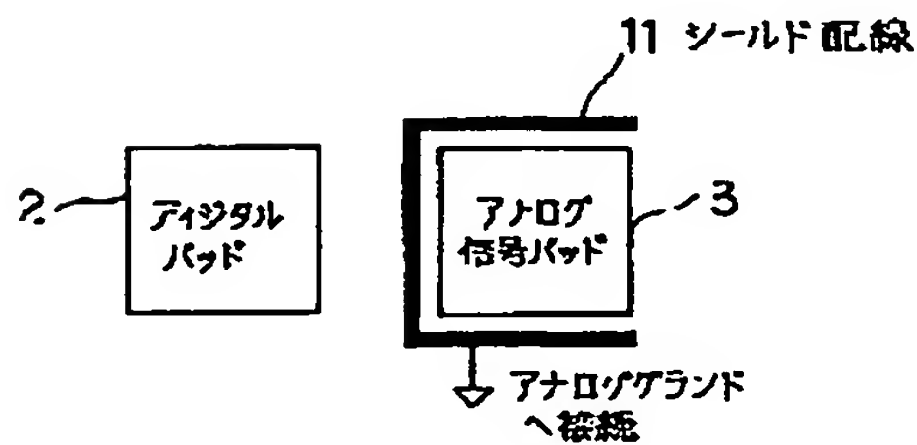
【図2】



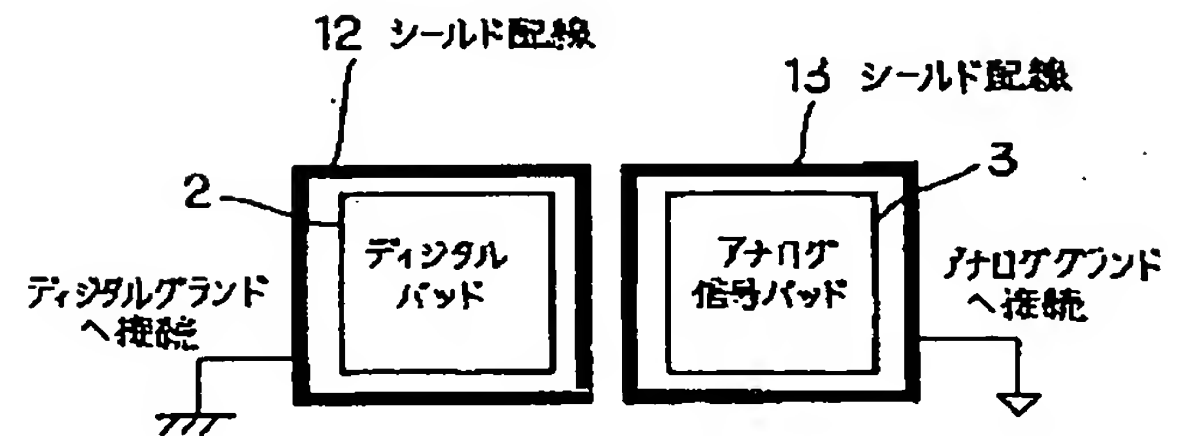
【図11】



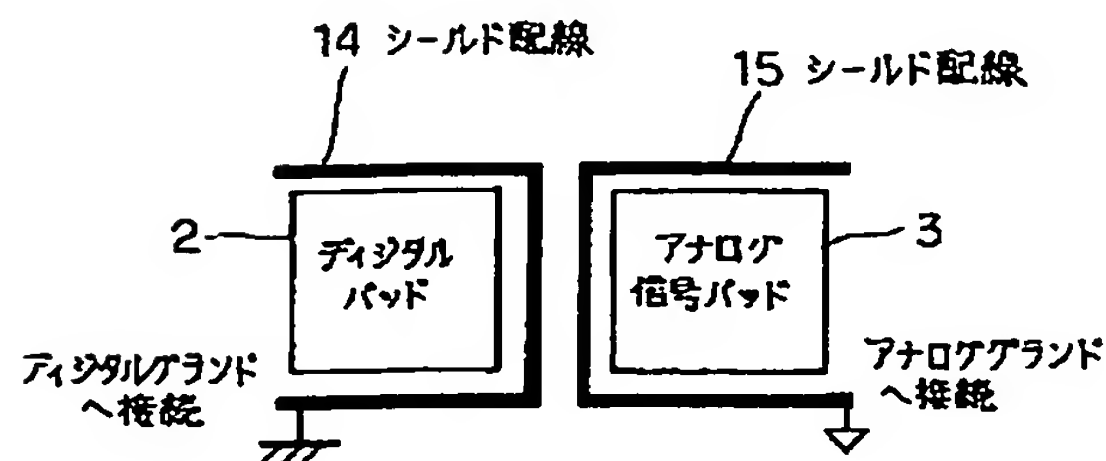
【図3】



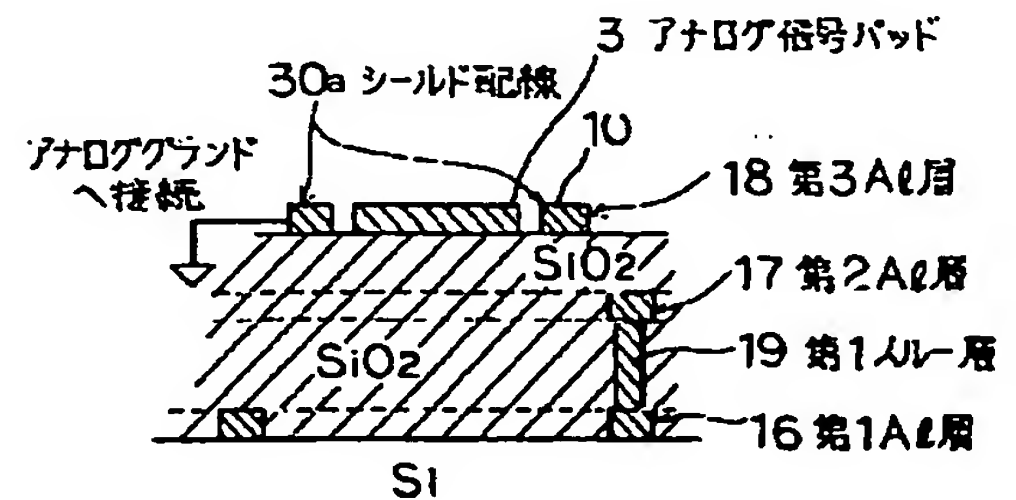
【図4】



【図5】

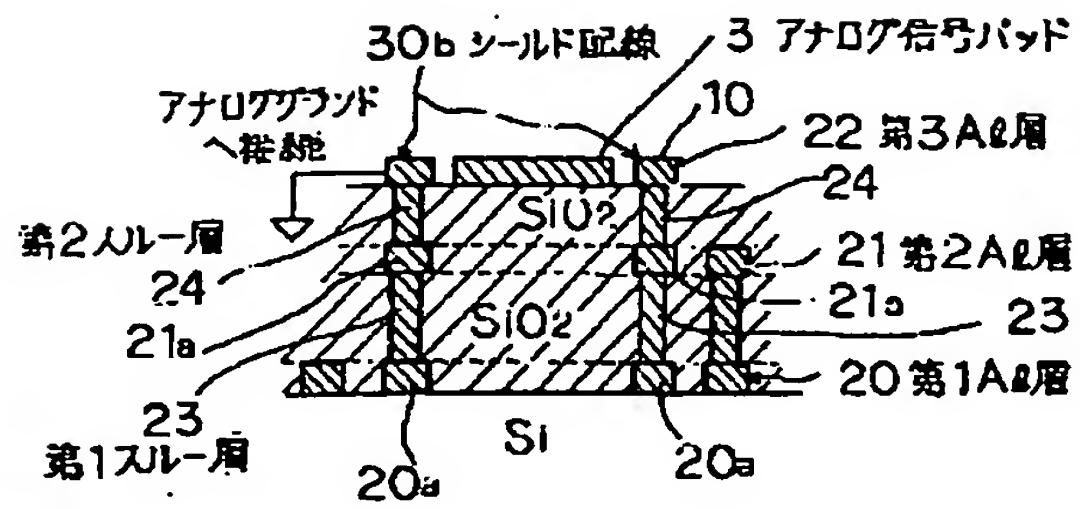


【図6】

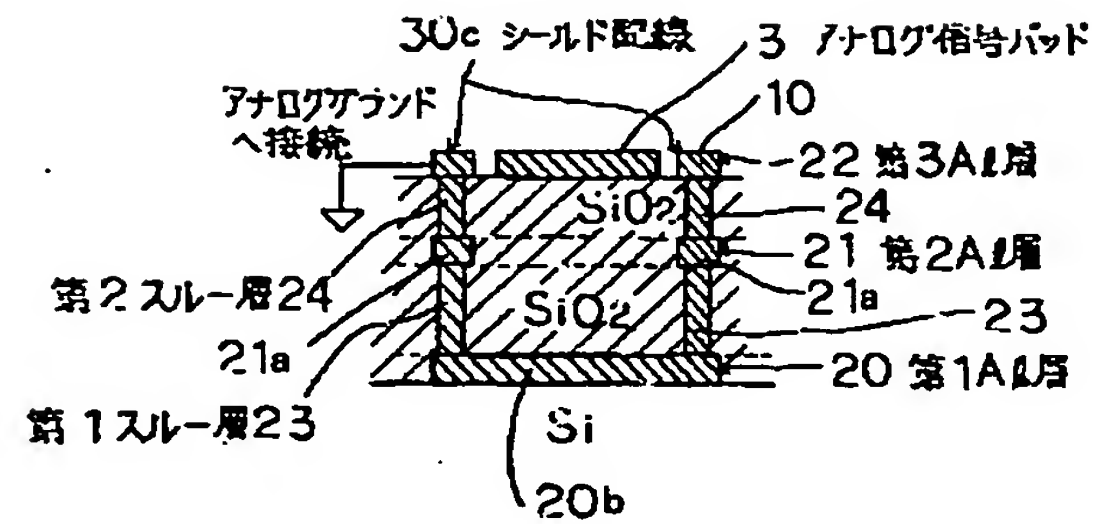




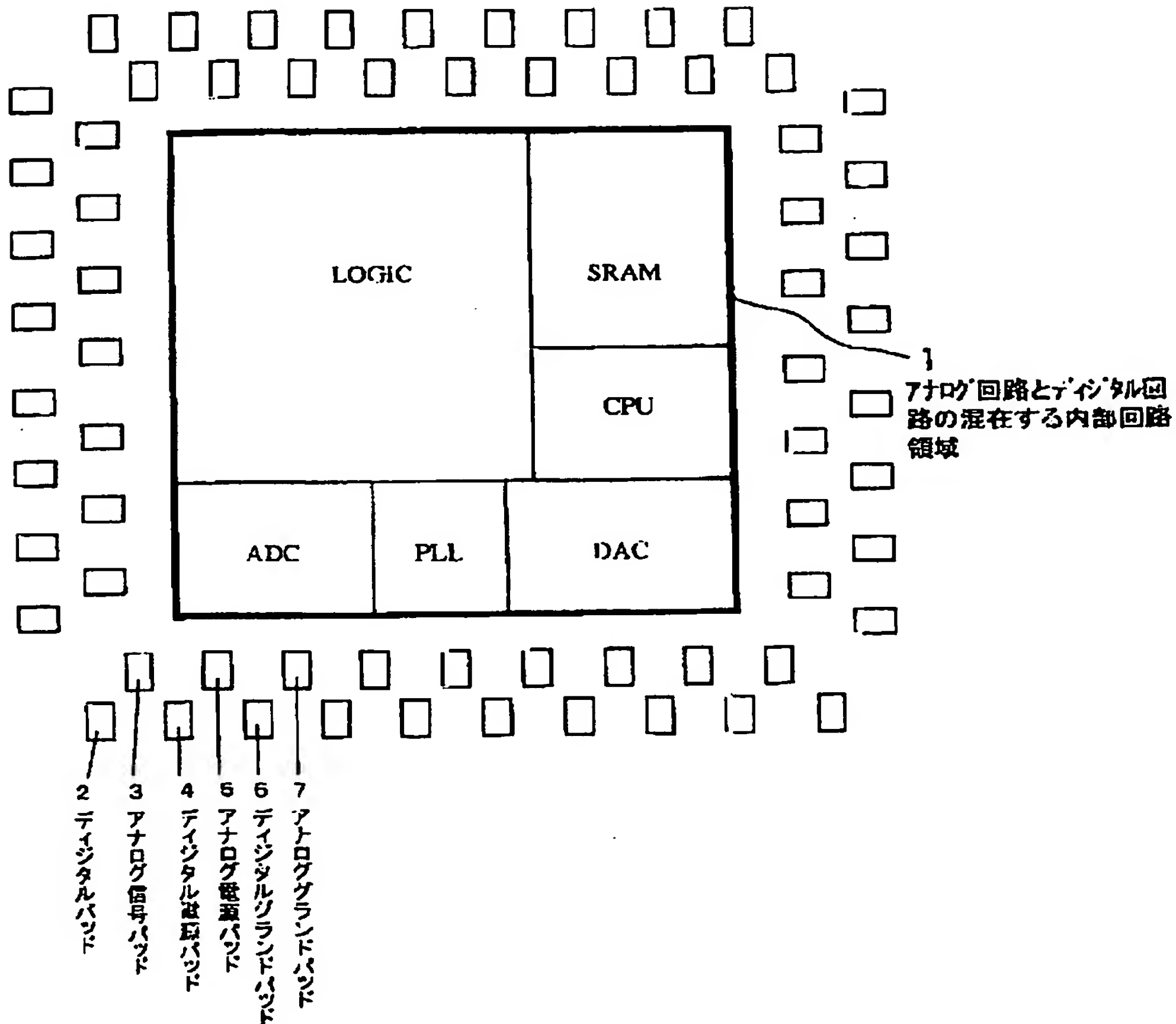
【図7】



【図8】



【図9】



【図10】

